

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-193160

(43)公開日 平成7年(1995)7月28日

(51)Int.Cl.⁶

H 01 L 23/12

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 23/ 12

L

審査請求 有 請求項の数9 OL (全 6 頁)

(21)出願番号

特願平5-329354

(22)出願日

平成5年(1993)12月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 谷岡 道修

東京都港区芝五丁目7番1号 日本電気株式会社内

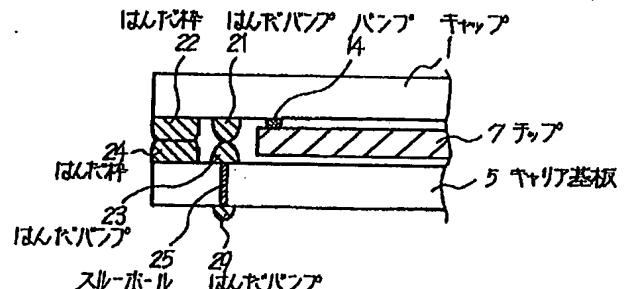
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 チップキャリア

(57)【要約】

【目的】データの消去が良好に行え、バンプ接続部の熱応力による破壊が防止でき、マザーボードの反りを問題とせず、リペアが容易に行え、さらに飛躍的に小型・薄型化を図ることが可能である構造のE P R O Mのチップキャリアを得る。

【構成】キャップに光透過性材料を用い、予め半導体チップをバンプを介して設けており、その外側にキャリア基板に接続用のはんだバンプを、さらに気密封止用のはんだ枠をキャップ外周部に設けている。キャリア基板は、キャップのはんだバンプと外周部のはんだ枠に対向して同じ位置にはんだバンプとはんだ枠を設けており、はんだバンプの下にはスルーホールを設けキャリア基板裏面に導通を取れるようになっている。キャリア基板裏面のスルーホール部にマザーボードとの接続を取るためのはんだバンプを備えている。また、キャップとキャリア基板は、ほぼ熱膨張係数の同じ材料を用いる。



【特許請求の範囲】

【請求項1】 片面に配線層を有する光透過性基板であってその配線層側にIC接続用パッドが形成されているキャップと、回路面をキャップ側に向けて前記IC接続用パッドにバンプを介して接続されるICチップと、内部に配線層を有し基板裏面に外部接続用端子を有するキャリア基板とから構成されたチップキャリアであって、前記キャップと前記キャリア基板の各々の基板外周部のはんだ枠により内部が気密封止されており、さらに前記キャップと前記キャリア基板は前記はんだ枠の内側に形成されたはんだバンプで電気的接続を得ることを特徴とするチップキャリア。

【請求項2】 キャリア基板の中央部にICチップを落とし込む凹部を設けた請求項1記載のチップキャリア。

【請求項3】 キャリア基板の中央部と、ICチップの裏面とが導電性材料を介して接続することを特徴とする請求項1及び請求項2記載のチップキャリア。

【請求項4】 キャリア基板の中央部とICチップの裏面とを接続する導電性材料が前記キャリア基板に設けたスルーホールを介して前記キャリア基板の裏面に設けたマザーボード接続用のバンプに電気的に接続する請求項3記載のチップキャリア。

【請求項5】 キャリア基板のはんだ枠形成領域をキャップと接続用のはんだバンプの形成領域より一段高くし、前記キャリア基板側面から配線層を引き回すことを特徴とする請求項1、2又は3記載のチップキャリア。

【請求項6】 キャップのはんだ枠形成領域をはんだバンプ形成領域より一段低くし、はんだ枠が前記キャップとキャリア基板の間のはんだバンプより高いことを特徴とする請求項1、2又は3記載のチップキャリア。

【請求項7】 キャリア基板のはんだ枠およびキャップと接続するためのはんだバンプの高さが、キャップのはんだ枠およびキャリア基板と接続するためのはんだバンプの高さより高いことを特徴とする請求項1、2又は3記載のチップキャリア。

【請求項8】 キャップとキャリア基板の相互に接続するためのはんだ枠およびはんだバンプの高さを、チップのバンプと同じにすることを特徴とする請求項2または3記載のチップキャリア。

【請求項9】 キャリア基板内層の配線層に接続する外部接続用端子を前記キャリア基板の側面に設けることを特徴する請求項1、2又は3記載のチップキャリア。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、E PROM等の半導体チップを基板に搭載し紫外線、光を通すための窓を有するチップキャリア構造に関する。

【0002】

【従来の技術】 従来のE PROMチップキャリア構造の第1例として図9に示すICメモリデータブック198 50

7年版(P. 906~910)に掲載された「262144ビット CMOS UV EPROM」があり、第2例として図10に示す特開昭63-241955の「樹脂補強型LSI実装構造体の製造方法」があり、第3例として、図11に示す実開昭62-84937の「光を用いる半導体装置」がある。

【0003】 まず、図9について説明する。キャップ1は、中央部が光(紫外線)照射用の石英ガラス2、他の部分はアルミナ3で構成され、外周部には気密封止用の低融点ガラス4が塗布されている。一方キャリア基板5は、アルミナを材料として作られ凹部にA u S i共晶部6を介してチップ7が装着され、アルミワイヤ8によるワイヤーボンディングによりチップ電極9とボンディング用パッド10が接続されている。また、パッド10から配線層11を介して外部電極12が引き出されている。上記キャリア基板5にキャップ1を位置決め装着した後、400~480°Cに加熱し気密封止を行う。

【0004】 次に図10について説明する。キャリア基板5上へチップ7をフリップチップ構造で装着し、基板とチップの間隙にシリコン13を注入したものである。

【0005】 更に図11の半導体装置はキャリア基板5上へチップ7をバンプ14を介して装着し、光(紫外線)を入射させるために基板とチップの間に空間を設け、樹脂15で封止したものである。光はキャリア基板5を透過する。

【0006】 他にも第4例として、特開昭59-167037「半導体装置」がある。これは、図12に示すように、リードフレーム17を用いたパッケージのチップ7の上面に、紫外線透過性接着剤18を介し光透過板19を設けたものである。また、第5例として特開昭61-115339「E PROM装置」、第6例として特開昭61-115340「E PROM装置」が公開特許公報に掲載されている。この両者は、何れもリードフレームを用いたものである。

【0007】

【発明が解決しようとする課題】 上述した従来のE PROMのチップキャリア構造の第1例から第6例について課題を説明する。まず、第1例は、ワイヤーボンディングにより、チップとキャリアとを接続する構造を取っている。このため、キャリア基板にボンディング用パッドが必要となり、チップキャリア自身の面積が非常に大きくなっていた。従って、マザーボード上への実装面積が大きくなり、他の電子部品の実装が大きい制約を受けるという問題点があった。また、外部電極が側面に配置されているため、マザーボードの反りが大きい場合にマザーボードへのはんだ付け不良が発生することやリペアが困難であるという問題点があった。また、石英ガラスの熱膨張係数が $0.5 \times 10^{-6}/\text{°C}$ と、チップの熱膨張係数が $2 \sim 3 \times 10^{-6}/\text{°C}$ 、アルミナの熱膨張係数が $6 \sim 8 \times 10^{-6}/\text{°C}$ と異なるため、400~480°Cで封止

する際に石英ガラス、アルミナに歪力が加わり、信頼性に問題が生じる場合が多かった。第2例では、E P R O Mの場合、データの消去を紫外線(UV)を照射する事によって行うため、シリコンが存在するとデータの消去性が悪くなるという問題点があった。

【0008】第3例では、チップと樹脂の熱膨張係数が異なることとチップとキャリア基板の間に空間=大きいボイドが存在することのため、使用環境の温度差により、熱膨張および収縮が発生し、チップとキャリア基板の接続部のバンプにストレスがかかり、バンプ破壊が発生するという問題点があった。第4例～第6例は、何れもリードフレームにワイヤーボンディングし、トランスマーカーモールドする構造である。このため、面積的には第1例とほぼ同等であり、マザーボード上への実装面積が大きくなる問題点があった。

【0009】

【課題を解決するための手段】本発明のチップキャリアは、片面に配線層を有する光透過性基板であってその配線層側にIC接続用パッドが形成されているキャップと、回路面をキャップ側に向けて前記IC接続用パッドにバンプを介して接続されるICチップと、内部に配線層を有し基板裏面に外部接続用端子を有するキャリア基板とから構成されたチップキャリアであって、前記キャップと前記キャリア基板の各々の基板外周部のはんだ枠により内部が気密封止されており、さらに前記キャップと前記キャリア基板は前記はんだ枠の内側に形成されたはんだバンプで電気的接続を得ることを特徴とする。

【0010】キャップは、片面に配線層を持つ光透過性材料を用い、予めチップをバンプを介して設けており、電極接続用のはんだバンプを前記バンプの外側に、さらに前記はんだバンプの外側のキャップ外周部に気密封止用のはんだ枠を設けている。

【0011】一方、キャリア基板は、キャップのはんだバンプと外周部のはんだ枠に対向して同じ位置にはんだバンプとはんだ枠を設けており、はんだバンプの下にはスルーホールを設けキャリア基板裏面に導通を取れるようになっている。また、このキャリア基板裏面のスルーホール部にマザーボードとの接続を取るためのはんだバンプを備えている。また、キャップとキャリア基板は、ほぼ同等の熱膨張係数を有する材料を用いる。

【0012】

【実施例】次に本発明について図面を参照して説明する。

【0013】図1は本発明の第1の実施例の部分断面図である。

【0014】キャップ1は金属メッキ(Cr/Ni/AuまたはCr/Cu/Au)の蒸着により形成された電極上に電極接続用のはんだバンプ21が形成されている。さらに気密封止用のはんだ枠22がキャップ1の外周部に同様のメッキ処理を施した表面に形成されてい

る。これらは、メタルマスクを介したクリームはんだ印刷方式により、形成される。また、キャップ1は片面に配線層を持つ光透過性材料(例えば石英ガラス、テンパックスガラス)を用いており、チップ7がバンプ14を介して、接続されている。

【0015】一方、キャリア基板(ガラスセラミック)5は、キャップ1のはんだバンプ21と外周部のはんだ枠22に対向して同じ位置にペースト(W, Mo, Ag/Pd)印刷により形成された電極上にはんだバンプ23とはんだ枠24が形成されており、はんだバンプ23の下には、マザーボードと電気的導通をとるためのスルーホール25が形成されている。

【0016】キャップ1のはんだバンプ21と外周部のはんだ枠22とを、キャリア基板5のはんだバンプ23と外周部のはんだ枠24とに合わせて同時に320°C程度に加熱し、超音波を印加する事により接続される(はんだバンプ21, はんだ枠22, はんだバンプ23, はんだ枠24は、高融点はんだかつフラックスレス)。最後に、キャリア基板5の裏面のスルーホール25の位置にマザーボード接続用のはんだバンプ29をクリームはんだ印刷により形成する(はんだバンプ29は、共晶はんだ)。

【0017】次に本発明の第2の実施例をその部分断面図である図2を用いて説明する。

【0018】図2の図1との違いは、キャリア基板5の中央部にチップ7を落とし込むためのチップ厚とほぼ同等(0.3～0.6mm程度)の深さの凹部を設けたことである。これにより、更に薄型化を図ることができ。第2の実施例のその他の部分は第1の実施例と同じである。

【0019】次に本発明の第3の実施例3をその部分断面図である図3を用いて説明する。

【0020】図3の図2との違いは、キャリア基板5の凹部に可とう性を有する導電性の接着剤26を介しチップ7の裏面を接続し、さらにスルーホール27を介しチップ7の裏面と接続するはんだバンプ28をキャリア基板5の裏面に設けている。これにより、チップ7の固定および接地が可能になり、ノイズを最小限に押さえることができる。実施例3のその他の部分は第2の実施例と同じである。

【0021】次に本発明の第4の実施例4をその部分断面図である図4を用いて説明する。

【0022】図4の図3との違いは、キャリア基板5のはんだ24の形成領域をはんだバンプ23の形成領域より一段高くし、キャリア基板5の側面からの配線層11を引き回した構造ではんだバンプ23とはんだバンプ29を配線層11を介して接続しスルーホール25を不要としていることである。第4の実施例のその他の部分は第3の実施例と同じである。

【0023】次に本発明の第5の実施例5をその部分断

面図である図5を用いて説明する。

【0024】図5の図3との違いは、キャップ1のはんだ枠22の形成領域をはんだバンプ21の形成領域より一段低くし、はんだ枠22をはんだバンプ21より高くし、はんだバンプ21とはんだ枠22のショートの可能性を皆無にした構造である。第5の実施例のその他の部分は第3の実施例と同じである。

【0025】次に本発明の第6の実施例をその部分断面図である図6を用いて説明する。

【0026】図6の図3との違いは、キャリア基板5のはんだ枠24及びはんだバンプ23の高さを、キャップ1のはんだ枠22及びはんだバンプ21より高くし、キャリア基板5又はキャップ1の反りが発生した場合、キャリア基板5のはんだ枠24及びはんだバンプ23で吸収することを目的とした構造である。第6の実施例のその他の部分は第3の実施例と同じである。 10

【0027】次に本発明の第7の実施例をその部分断面図である図7を用いて説明する。

【0028】図7の図6との違いは、キャップ1とキャリア基板5のはんだ枠22、24、はんだバンプ21、23の高さを、チップ7のバンプ14と同じにし、より薄型化を図った構造である。第7の実施例のその他の部分は第6の実施例と同じである。 20

【0029】次に本発明の第8の実施例をその部分断面図である図8を用いて説明する。図8の図2との違いは、キャリア基板5の内層に配線層を設け、キャリア基板5の側面に外部電極11を引き出すことにより、ソケット実装を可能にする構造とし、キャリア基板5を貫通するスルーホール25を不要としたことである。第8の実施例のその他の部分は第2の実施例と同じである。 30

【0030】

【発明の効果】以上説明したように本発明は、チップがバンプを介してキャップに接続され、キャップがバンプを介してキャリア基板に接続されているため、飛躍的にチップキャリアの小型・薄型化を図ることができる。例えば、6mm□のチップを用いた場合、従来のチップキャリアであると13mm□=169mm²の大きさであったが、本発明のチップキャリアでは、10mm□=100mm²と40%の面積削減が可能となる。高さ方向は、従来3mm必要としていたが、本発明の方式を用いると、1.3mmと57%と高さ削減が可能となる。このため、マザーボードへの実装面積の縮小化を図ることができ、他の電子部品の実装制約を大幅に緩和できる。また、光透過性材料のキャップを用いるため、データの読み書きが良好に行える。また、キャップとキャリア基板が、ほぼ同等の熱膨張係数の材料を用いることと、はんだ枠による低温の気密封止を行うため、接続信頼性が高い。また、はんだの接合に超音波を使用するため、フ*

* ラックスの洗浄が必要ない。また、マザーボードへの接続をはんだバンプで行うため、マザーボードの反りに対応可能である。取り外しが容易に行える。さらに、地気への接続部が設けられるため、ノイズ発生を最小限に押さえることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の断面図である。

【図2】本発明の第2の実施例の断面図である。

【図3】本発明の第3の実施例の断面図である。

【図4】本発明の第4の実施例の断面図である。

【図5】本発明の第5の実施例の断面図である。

【図6】本発明の第6の実施例の断面図である。

【図7】本発明の第7の実施例の断面図である。

【図8】本発明の第8の実施例の断面図である。

【図9】従来のチップキャリアの第1例の断面図である。

【図10】従来のチップキャリアの第2例の断面図で、(a)は平面図、(b)は断面図である。

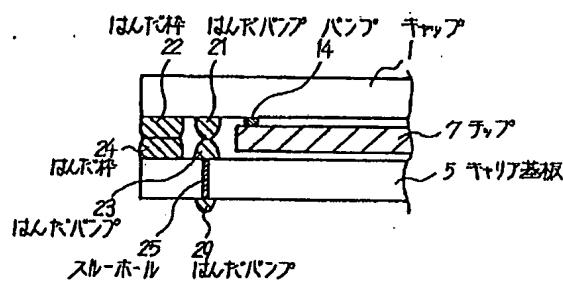
【図11】従来のチップキャリアの第3例の断面図である。

【図12】従来のチップキャリアの第4例の断面図である。

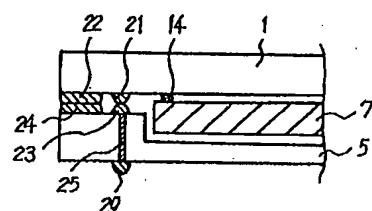
【符号の説明】

1	キャップ
2	石英ガラス
3	アルミナ
4	低融点ガラス
5	キャリア基板
6	AuSi共晶部
7	チップ
8	アルミワイヤー
9	チップ電極
10	ボンディング用パッド
11	配線層
12	外部電極
13	シリコン
14	バンプ
15	樹脂
16	金ワイヤー
17	リードフレーム
18	紫外線透過性接着剤
19	光透過板
20	トランスマーモールド樹脂
21, 23, 28, 29	はんだバンプ
22, 24	はんだ枠
25, 27	スルーホール
26	導電性材料

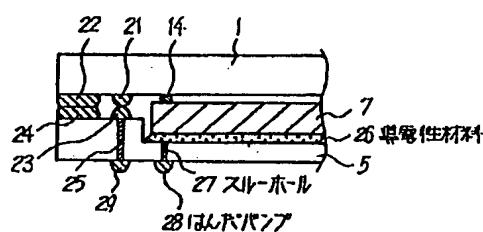
【図1】



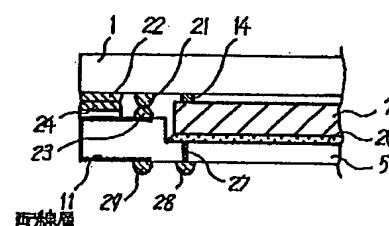
【図2】



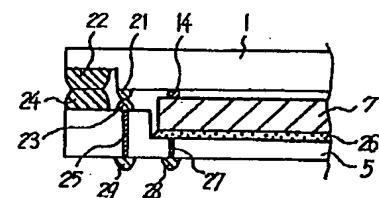
【図3】



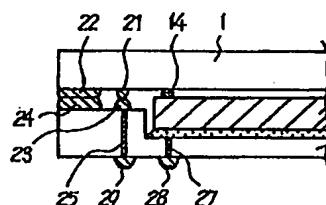
【図4】



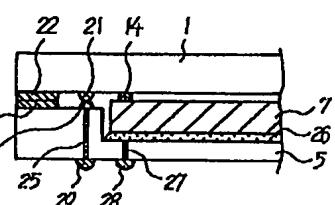
【図5】



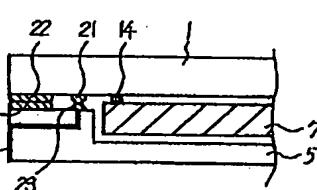
【図6】



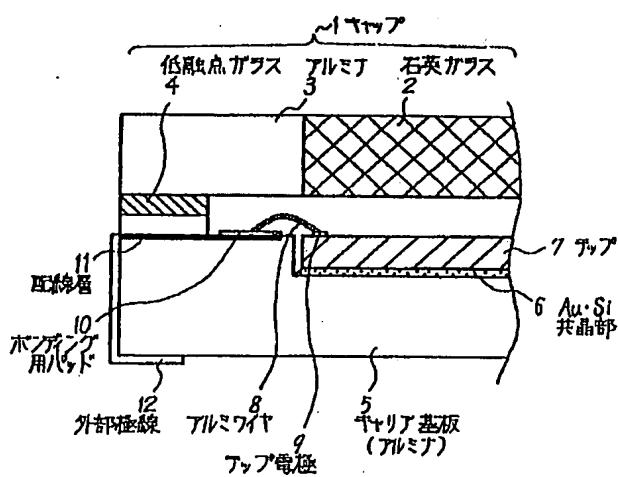
【図7】



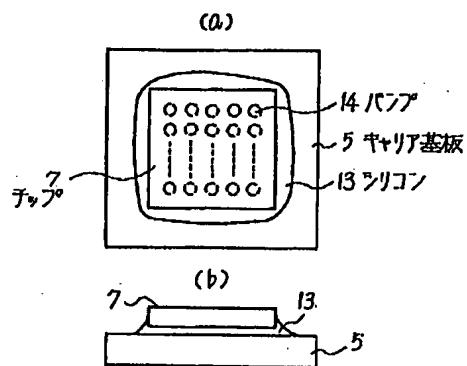
【図8】



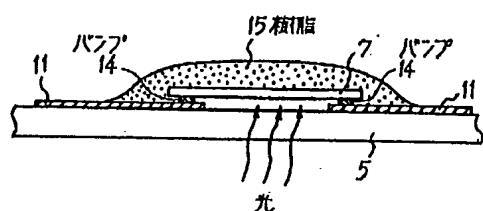
【図9】



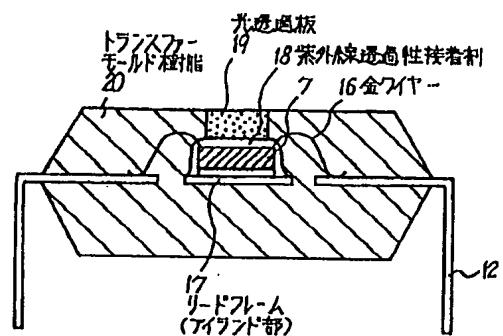
【図10】



【図11】



【図12】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-193160
 (43)Date of publication of application : 28.07.1995

(51)Int.Cl. H01L 23/12

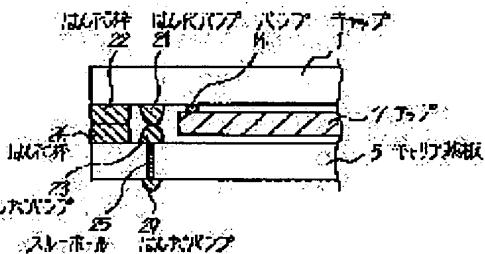
(21)Application number : 05-329354 (71)Applicant : NEC CORP
 (22)Date of filing : 27.12.1993 (72)Inventor : TANIOKA MICHINAGA

(54) CHIP CARRIER

(57)Abstract:

PURPOSE: To erase data properly and prevent damage on a bump connection part due to thermal stress by airtightly sealing the inside by the solder frame of each substrate outer-periphery part of a cap and a carrier substrate and then electrically connecting the cap and the carrier substrate with a solder bump formed inside the solder frame.

CONSTITUTION: A solder bump 23 and a solder frame 24 are formed opposing a solder bump 21 and a solder frame 22 of an outer-periphery part and a through hole 25 for electrically continuing to a mother board is formed below the solder bump 23. The solder bump 21 of the cap 1 and the solder frame 22 of the outer-periphery part are heated simultaneously to approximately 320° C matching to the solder bump 23 of a carrier substrate 5 and the solder frame 24 of the outer-periphery part and are connected by applying ultrasonic waves. Finally, a solder bump 29 for connecting mother boards is formed by cream solder printing at the position of the through hole part 25 on the reverse side of the carrier substrate 5.



LEGAL STATUS

[Date of request for examination] 16.03.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2646989

[Date of registration] 09.05.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

09.05.2000

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The cap with which it is the light transmission nature substrate which has a wiring layer on one side, and the pad for IC connection is formed in the wiring layer side, IC chip which turns a circuit side to a cap side and is connected to said pad for IC connection through a bump, It is the chip carrier which consisted of carrier substrates which have a wiring layer inside and have a terminal for external connection at the substrate rear face. It is the chip carrier further characterized by said cap and said carrier substrate obtaining electrical installation by the solder bump formed inside said solder frame by carrying out the hermetic seal of the interior with the solder frame of each substrate periphery section of said cap and said carrier substrate.

[Claim 2] The chip carrier according to claim 1 which established the crevice which drops IC chip in the center section of a carrier substrate.

[Claim 3] Claim 1 characterized by the center section of a carrier substrate and the rear face of IC chip connecting through a conductive ingredient, and a chip carrier according to claim 2.

[Claim 4] The chip carrier according to claim 3 which the conductive ingredient which connects the center section of a carrier substrate and the rear face of IC chip connects to the bump for mother board connection who prepared in the rear face of said carrier substrate through the through hole established in said carrier substrate electrically.

[Claim 5] The chip carrier according to claim 1, 2, or 3 which makes the solder frame formation field of a carrier substrate higher one step than the formation field of the solder bump for a cap and connection, and is characterized by taking about a wiring layer from said carrier substrate side face.

[Claim 6] The chip carrier according to claim 1, 2, or 3 which makes the solder frame formation field of a cap lower one step than a solder bump formation field, and is characterized by a solder frame being more expensive than the solder bump between said caps and carrier substrates.

[Claim 7] The chip carrier according to claim 1, 2, or 3 characterized by the height of the solder bump for connecting with the solder frame of a carrier substrate and a cap being higher than the height of the solder bump for connecting with the solder frame of a cap, and a carrier substrate.

[Claim 8] The chip carrier according to claim 2 or 3 characterized by making the solder frame for connecting with a cap at both carrier substrates, and a solder bump's height the same as the bump of a chip.

[Claim 9] The chip carrier according to claim 1, 2, or 3 which carries out the description of preparing the terminal for external connection linked to the wiring layer of a carrier substrate inner layer in the side face of said carrier substrate.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any

damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the chip carrier structure of having an aperture for carrying semiconductor chips, such as EPROM, in a substrate and letting ultraviolet rays and light pass.

[0002]

[Description of the Prior Art] There is "262 A 144 bit CMOS UV EPROM" carried by the IC memory data book 1987 edition (P. 906-910) shown in drawing 9 as the 1st example of the conventional EPROM chip carrier structure, there is the "manufacture approach of the resin reinforcement mold LSI mounting structure" of JP,63-241955,A shown in drawing 10 as the 2nd example, and there is "a semiconductor device using light" of publication of unexamined utility model application Showa 62-84937 shown in drawing 11 as the 3rd example.

[0003] First, drawing 9 is explained. The quartz glass 2 for [cap / 1] an optical (ultraviolet rays) exposure in a center section and other parts consist of aluminas 3, and the low melting glass 4 for hermetic seals is applied to the periphery section. On the other hand, the carrier substrate 5 is made considering an alumina as an ingredient, a crevice is equipped with a chip 7 through the AuSi eutectic section 6, and the pad 10 for bondings is connected with the chip electrode 9 by wire bonding with the aluminum wire 8. Moreover, the external electrode 12 is pulled out through the wiring layer 11 from the pad 10. After carrying out positioning wearing of the cap 1 at the above-mentioned carrier substrate 5, it heats at 400-480 degrees C, and a hermetic seal is performed.

[0004] Next, drawing 10 is explained. Up to the carrier substrate 5 is equipped with a chip 7 with flip chip structure, and silicon 13 is poured into the gap of a substrate and a chip.

[0005] Furthermore, the semiconductor device of drawing 11 equips up to the carrier substrate 5 with a chip 7 through a bump 14, it prepares space between a substrate and a chip in order to carry out incidence of the light (ultraviolet rays), and it closes it by resin 15. Light penetrates the carrier substrate 5.

[0006] JP,59-167037,A "a semiconductor device" is as the 4th example in others. This forms the light transmission plate 19 in the top face of the chip 7 of the package using a leadframe 17 through the diactinism adhesives 18, as shown in drawing 12 . Moreover, JP,61-115340,A "EPROM equipment" is carried by JP,61-115339,A "EPROM equipment" as the 5th example, and is carried by the open patent official report as the 6th example. Each of these both uses a leadframe.

[0007]

[Problem(s) to be Solved by the Invention] A technical problem is explained about the 6th example from the 1st example of the chip carrier structure of the conventional EPROM mentioned above. First, the 1st example has taken the structure of connecting a chip and a carrier, by WAIWA bonding. For this reason, the pad for bondings was needed for the carrier substrate, and the area of the chip carrier itself was very large. Therefore, the component-side product to a mother board top became large, and there was a trouble of receiving constraint with large mounting of other electronic parts. Moreover, since the external electrode was arranged on the side face, when the curvature of a mother board was large, there was a trouble that poor soldering to a mother board occurring and repair were difficult. Moreover, since the coefficient of thermal expansion of $2 - 3 \times 10^{-6}/\text{degree C}$ and an alumina differed [$0.5 \times 10^{-6}/\text{degree C}$ and the

coefficient of thermal expansion of a chip] from 6 – 8x10-6/degree C, when the coefficient of thermal expansion of quartz glass closed at 400-480 degrees C, quartz glass was joined, stress joined the alumina, and the problem arose in dependability in many cases. In the 2nd example, in order to perform elimination of data by irradiating ultraviolet rays (UV) in the case of EPROM, when silicon existed, there was a trouble that the erasability of data worsened.

[0008] between that the coefficients of thermal expansion of a chip and resin differ in the 3rd example, a chip, and carrier substrates -- space = -- since it was that a large void exists, according to the temperature gradient of an operating environment, thermal expansion and contraction occurred, stress started the bump of the connection of a chip and a carrier substrate, and there was a trouble that bump destruction occurred. Each of example [4th] – 6th example is structure which carries out wire bonding to a leadframe and which carries out a transfer mold to it. For this reason, it is almost equivalent to the 1st example in area, and there was a trouble that the component-side product to a mother board top became large.

[0009]

[Means for Solving the Problem] The cap with which the chip carrier of this invention is a light transmission nature substrate which has a wiring layer on one side, and the pad for IC connection is formed in the wiring layer side, IC chip which turns a circuit side to a cap side and is connected to said pad for IC connection through a bump, It is the chip carrier which consisted of carrier substrates which have a wiring layer inside and have a terminal for external connection at the substrate rear face. The hermetic seal of the interior is carried out with the solder frame of each substrate periphery section of said cap and said carrier substrate, and said cap and said carrier substrate are further characterized by obtaining electrical installation by the solder bump formed inside said solder frame.

[0010] The cap has prepared the chip in one side through the bump using the light transmission nature ingredient with a wiring layer beforehand, and has prepared the solder frame for hermetic seals for the solder bump for electrode connection in said bump's outside further at the cap periphery section of said solder bump's outside.

[0011] On the other hand, the carrier substrate countered the solder frame of the periphery section with the solder bump of a cap, has prepared the solder bump and the solder frame in the same location, establishes a through hole in the bottom of a solder bump, and can take a flow now at the carrier substrate rear face. Moreover, the through hole section on this rear face of a carrier substrate is equipped with the solder bump for taking connection with Mother HODO. Moreover, the ingredient which has an almost equivalent coefficient of thermal expansion is used for a cap and a carrier substrate.

[0012]

[Example] Next, this invention is explained with reference to a drawing.

[0013] Drawing 1 is the fragmentary sectional view of the 1st example of this invention.

[0014] The solder bump 21 for electrode connection is formed on the electrode with which the cap 1 was formed of vacuum evaporation of metal plating (Cr/nickel/Au or Cr/Cu/Au). The solder frame 22 further for hermetic seals is formed in the front face which performed the same plating processing as the periphery section of cap 1. These are formed of the cream solder printing method through a metal mask. Moreover, the cap 1 uses the light transmission nature ingredient (for example, quartz glass, Tempax glass) with a wiring layer for one side, and the chip 7 is connected through the bump 14.

[0015] On the other hand, the solder frame 24 is formed with the solder bump 23 on the electrode which the carrier substrate (glass ceramic) 5 countered the solder frame 22 of the periphery section with the solder bump 21 of cap 1, and was formed in the same location of paste (W, Mo, Ag/Pd) printing, and the through hole 25 for taking a mother board and an electric flow is formed in the bottom of the solder bump 23.

[0016] The solder bump 21 of cap 1 and the solder frame 22 of the periphery section are set by the solder bump 23 of the carrier substrate 5, and the solder frame 24 of the periphery section, and are heated at about 320 degrees C at coincidence, and it connects by impressing a supersonic wave (the solder bump 21, the solder frame 22, the solder bump 23, and the solder frame 24 are high-melting solder and flux loess). Finally, the solder bump 29 for mother board

connection is formed in the location of the through hole 25 of the rear face of the carrier substrate 5 by cream solder printing (the solder bump 29 is eutectic solder).

[0017] Next, the 2nd example of this invention is explained using drawing 2 which is the fragmentary sectional view.

[0018] The difference from drawing 1 of drawing 2 is having established the crevice of the depth [being almost equivalent to the thickness of tip for dropping a chip 7 (about 0.3–0.6mm)] in the center section of the carrier substrate 5. Thereby, thin shape-ization can be attained further.

The part of others of the 2nd example is the same as the 1st example.

[0019] Next, the 3rd example 3 of this invention is explained using drawing 3 which is the fragmentary sectional view.

[0020] The difference from drawing 2 of drawing 3 has formed the solder bump 28 who connects the rear face of a chip 7 through the conductive adhesives 26 which have flexibility in the crevice of the carrier substrate 5, and connects with the rear face of a chip 7 through a through hole 27 further in the rear face of the carrier substrate 5. Thereby, immobilization and touch-down of a chip 7 are attained, and a noise can be pressed down to the minimum. The part of others of an example 3 is the same as the 2nd example.

[0021] Next, the 4th example 4 of this invention is explained using drawing 4 which is the fragmentary sectional view.

[0022] The difference from drawing 3 of drawing 4 is making the formation field of the solder 24 of the carrier substrate 5 higher one step than the solder bump's 23 formation field, connecting the solder bump 23 and the solder bump 29 through a wiring layer 11 with the structure which took about the wiring layer 11 from the side face of the carrier substrate 5, and making the through hole 25 unnecessary. The part of others of the 4th example is the same as the 3rd example.

[0023] Next, the 5th example 5 of this invention is explained using drawing 5 which is the fragmentary sectional view.

[0024] The difference from drawing 3 of drawing 5 is the structure which made the formation field of the solder frame 22 of cap 1 lower one step than the solder bump's 21 formation field, made the solder frame 22 higher than the solder bump 21, and made short possibility of the solder frame 22 there be nothing with the solder bump 21. The part of others of the 5th example is the same as the 3rd example.

[0025] Next, the 6th example of this invention is explained using drawing 6 which is the fragmentary sectional view.

[0026] The difference from drawing 3 of drawing 6 is the structure aiming at absorbing by the solder frame 24 and the solder bump 23 of the carrier substrate 5, when the solder frame 24 of the carrier substrate 5 and the solder bump's 23 height are made higher than the solder frame 22 and the solder bump 21 of cap 1 and the curvature of the carrier substrate 5 or cap 1 occurs. The part of others of the 6th example is the same as the 3rd example.

[0027] Next, the 7th example of this invention is explained using drawing 7 which is the fragmentary sectional view.

[0028] The difference from drawing 6 of drawing 7 is the structure which made the solder frames 22 and 24 of cap 1 and the carrier substrate 5, and the solder bumps' 21 and 23 height the same as the bump 14 of a chip 7, and attained thin shape-ization more. The part of others of the 7th example is the same as the 6th example.

[0029] Next, the 8th example of this invention is explained using drawing 8 which is the fragmentary sectional view. The difference from drawing 2 of drawing 8 is having considered as the structure which enables socket mounting and having made unnecessary the through hole 25 which penetrates the carrier substrate 5 by preparing a wiring layer in the inner layer of the carrier substrate 5, and pulling out the external electrode 11 on the side face of the carrier substrate 5. The part of others of the 8th example is the same as the 2nd example.

[0030]

[Effect of the Invention] As explained above, since a chip is connected to a cap through a bump and the cap is connected to the carrier substrate through the bump, this invention can attain small and thin shape-ization of a chip carrier by leaps and bounds. For example, it is

13mm**=169mm² that it is the conventional chip carrier when the chip of 6mm** is used. Although it was magnitude, at the chip carrier of this invention, it is 10mm**=100mm². 40% of area reduction is attained. Although needed 3mm conventionally, if the method of this invention is used for the height direction, 1.3mm, 57%, and the height reduction of it will be attained. For this reason, contraction-ization of the component-side product to a mother board can be attained, and mounting constraint of other electronic parts can be eased sharply. Moreover, since the cap of a light transmission nature ingredient is used, data can be written good. Moreover, connection dependability is high in order that a cap and a carrier substrate may perform the hermetic seal of using the ingredient of an almost equivalent coefficient of thermal expansion, and the low temperature by the solder frame. Moreover, washing of flux is unnecessary in order to use a supersonic wave for junction of solder. Moreover, since connection with a mother board is made by the solder bump, it can respond to the curvature of a mother board. It can remove easily. Furthermore, since the connection to the earth is prepared, noise generating can be pressed down to the minimum.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the 1st example of this invention.

[Drawing 2] It is the sectional view of the 2nd example of this invention.

[Drawing 3] It is the sectional view of the 3rd example of this invention.

[Drawing 4] It is the sectional view of the 4th example of this invention.

[Drawing 5] It is the sectional view of the 5th example of this invention.

[Drawing 6] It is the sectional view of the 6th example of this invention.

[Drawing 7] It is the sectional view of the 7th example of this invention.

[Drawing 8] It is the sectional view of the 8th example of this invention.

[Drawing 9] It is the sectional view of the 1st example of the conventional chip carrier.

[Drawing 10] With the sectional view of the 2nd example of the conventional chip carrier, (a) is a top view and (b) is a sectional view.

[Drawing 11] It is the sectional view of the 3rd example of the conventional chip carrier.

[Drawing 12] It is the sectional view of the 4th example of the conventional chip carrier.

[Description of Notations]

1 Cap

2 Quartz Glass

3 Alumina

4 Low Melting Glass

5 Carrier Substrate

6 AuSi Eutectic Section

7 Chip

8 Aluminum Wire

- 9 Chip Electrode
- 10 Pad for Bondings
- 11 Wiring Layer
- 12 External Electrode
- 13 Silicon
- 14 Bump
- 15 Resin
- 16 Golden Wire
- 17 Leadframe
- 18 Diantinism Adhesives
- 19 Light Transmission Plate
- 20 Transfer Mold Resin
- 21, 23, 28, 29 Solder bump
- 22 24 Solder frame
- 25 27 Through hole
- 26 Conductive Ingredient

[Translation done.]

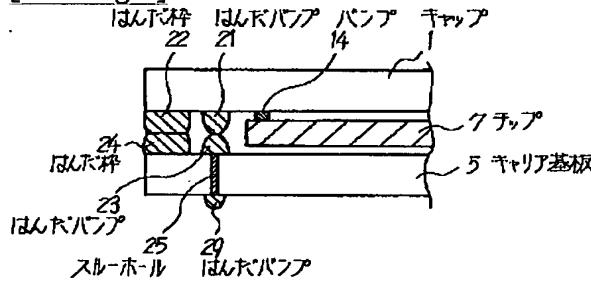
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

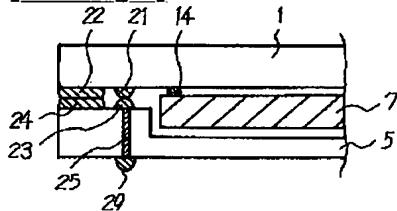
1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

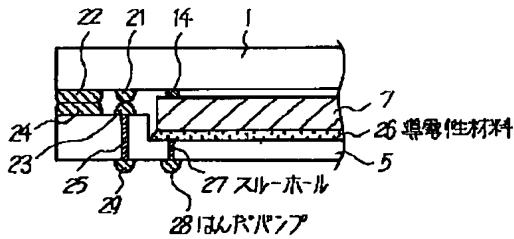
[Drawing 1]



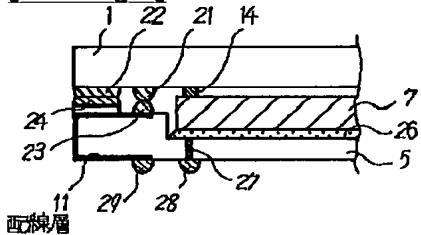
[Drawing 2]



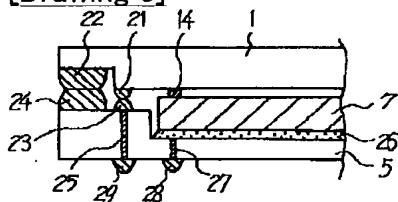
[Drawing 3]



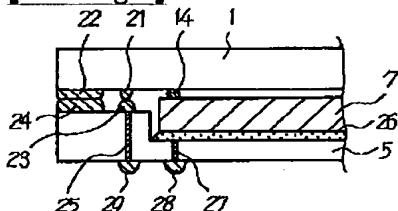
[Drawing 4]



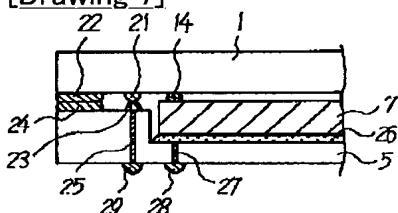
[Drawing 5]



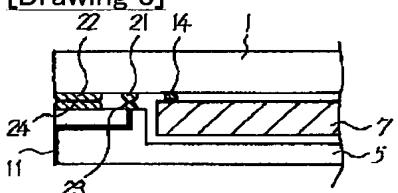
[Drawing 6]



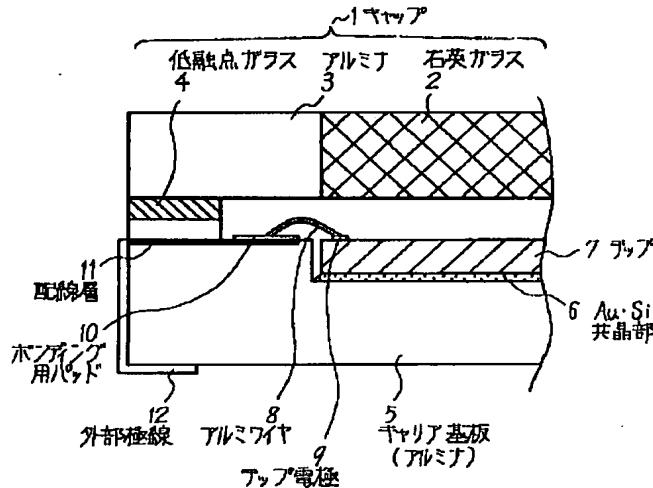
[Drawing 7]



[Drawing 8]

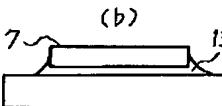
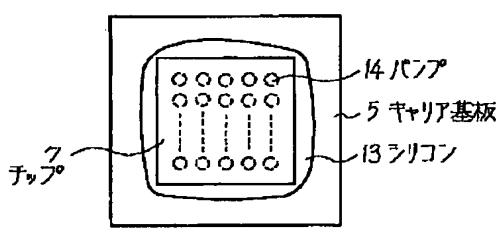


[Drawing 9]

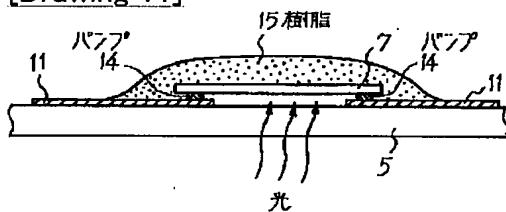


[Drawing 10]

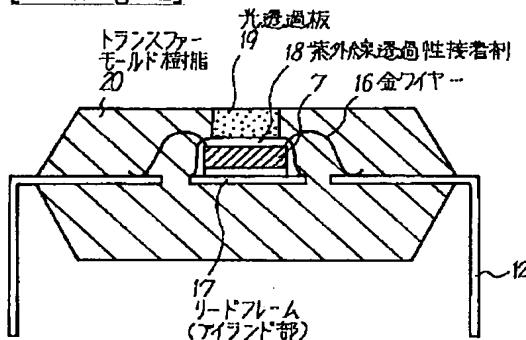
(a)



[Drawing 11]



[Drawing 12]



[Translation done.]